

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6
G09G 3/32

(11) 공개번호 특2001-0034893
(43) 공개일자 2001년04월25일

(21) 출원번호 10-2000-7013229
(22) 출원일자 2000년11월24일
 번역문제출일자 2000년11월24일
(86) 국제출원번호 PCT/US1999/13672 (87) 국제공개번호 WO 1999/66485
(86) 국제출원출원일자 1999년06월17일 (87) 국제공개일자 1999년12월23일
(81) 지정국 EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,
 국내특허 : 중국, 일본, 대한민국,

(30) 우선권주장 c09/098,769, 1998년06월17일 미국(US)
(71) 출원인 모토로라 인코포레이티드 비센트 비.인그라시아
 미국, 일리노이 60196, 샤움버그, 이스트 앨공킨 로드 1303
 모토로라 인코포레이티드 알크 엠 아헨
 미국, 일리노이 60196, 샤움버그, 이스트 앨공킨 로드 1303
(72) 발명자 럼바우, 로버트, 씨.
 미국, 아리조나주 85251, 스콧스데일, 이스트몬터레이웨이 8519
 스미쓰, 로버트, 티.
 미국, 아리조나주 85284, 템프, 이스트그린트리 1515
 트루질로, 조한
 미국, 아리조나주 85202, 메사, 사우쓰엘마리노 2320
 자이, 첩강
 미국, 아리조나주 85045, 포닉스, 웨스트캐서드럴락드라이브 1736
 존슨, 스콧, 브이.
 미국, 아리조나주 85254, 스콧스데일, 이스트샤론드라이브 5111
 모여, 커티스, 디.
 미국, 아리조나주 85044, 포닉스, 이스트디슬랜딩드라이브 4006
 라이스, 데이비드, 엠.
 미국, 아리조나주 85225, 캔들러, 이스트아이런우드 1437
(74) 대리인 문경진
 조현석

심사청구 : 없음

(54) 전계 방출 디스플레이 및 동작 방법

요약

전계 방출 디스플레이(100)는, 복수의 전자 에미터(114)를 갖는 음극판(110)과, 전원(126)에 연결된 양극(124)을 갖는 양극판(122)과, 입력(106) 및 출력(104)을 갖는 양극 전압 풀-다운 회로(127)를 포함한다. 출력(104)은 양극(124)에 연결되고, 입력(106)은 전원(126)에 연결된다. 바람직하게, 양극 전압 풀-다운 회로(127)는, 전계 방출 디스플레이(100) 내의 양으로 정전기적으로 대전된 표면(137, 138)을 중화(neutralization)시키기 위해서 전자 에미터(114)로 방전 전류를 발생시키기 이전에 양극(124)의 양극 전압(120)을 거의 접지 전위로 강하시킨다.

대표도

도1

명세서

기술분야

본 발명은, 일반적으로 전계 방출 디스플레이에 관한 것으로, 좀더 특별히는 전계 방출 디스플레이에서 전하의 축적을 감소시키기 위한 방법에 관한 것이다.

배경기술

전계 방출 디스플레이는 기술 분야에서 충분히 공지되어왔다. 전계 방출 디스플레이는, 얇은 엔벨로프(envelope)를 한정하는 양극판과 음극판을 포함한다. 전형적으로, 양극판과 음극판은, 내부의 진공과 외부의 대기압 사이의 압력차로 인한 장치의 내파(implosion)를 방지하기 위한 어떤 형태의 스페이서(spacer) 구조를 필요로 할만큼 충분히 얇다. 스페이서들은 장치의 활성 영역 내에 배치되며, 이 활성 영역은 전자 에미터와 인광물질(phosphors)을 포함한다.

양극판과 음극판 사이의 전위차는 전형적으로 300V 내지 10,000V의 범위 내이다. 양극판과 음극판 사이의 전위차를 견디기 위해서, 스페이서는 전형적으로 유전 물질을 포함한다. 따라서, 스페이서는 장치의 진공인 내부에 노출되는 유전 표면을 갖는다.

전계 방출 디스플레이의 동작 도중에, 전자는 음극판에 있는 스피ন্디트 팁(Spindt tips)과 같은 전자 에미터로부터 방출된다. 이들 전자는 진공 영역을 횡단하여, 인광물질에 부딪힌다. 이들 전자중 일부는 스페이서의 유전 표면에 충돌할 수 있다. 이와 같이하여, 스페이서의 유전 표면은 대전된다. 전형적으로, 유전 스페이서는, 스페이서 물질의 제 2 전자 산출량(yield)이 초기에는 하나보다 더 많기 때문에 양(+)으로 대전된다.

전계 방출 디스플레이 내의 유전 표면의 대전으로 인해 많은 문제가 발생한다. 예를 들면, 스페이서에 인접한 전자의 궤도에 대한 제어가 불가능하다. 또한, 전기적인 아크가 발생할 위험이 극적으로 증가한다.

양극판의 전압을 감소시키고, 전자가 대전된 표면에 의해 끌리게 하기 위해서, 양극판과 양극 전압원 사이에 연결된 고정 저항과 결합된 전자 에미터로부터의 전자 전류(electron current)를 이용하는 것이 공지되어 있다. 전자는 대전된 표면을 중화(neutralization)시키는데 이용된다. 그러나, 양극판의 전압을 풀 다운(pull down)시키는 전자는 또한 인광물질에 충돌하며, 그 결과, 가시적인 섬광이 전계 방출 디스플레이의 스크린 전면에 발생되게 된다. 더 나아가, 양극판과 양극 전압원 사이의 고정 저항은 양극 전압을 풀 다운시키기 위해 높은 전류를 필요로 하며, 이것은 결국 큰 전력 손실을 야기한다.

따라서, 이러한 가시적인 "섬광"을 감소시키거나 제거하며, 양극 전압을 풀 다운시킴으로 인한 전력 손실을 감소시키는, 전계 방출 디스플레이의 전하 축적을 감소시키기 위한 방법에 대한 필요가 존재한다.

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 전계 방출 디스플레이의 횡단면도.

도 2는 본 발명에 따른 전계 방출 디스플레이를 동작시키기 위한 방법을 예시하는 타이밍도.

도 3 및 도 4는 본 발명의 바람직한 실시예에 따른 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 5는 본 발명에 따른 전계 방출 디스플레이를 동작시키기 위한 방법을 예시하는 타이밍도.

도 6은 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 7은 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 8은 본 발명의 또 다른 실시예에 따른 분류기 저항을 갖는 양극 전압 풀-다운 회로를 구비한 전계 방출 디스플레이의 회로도.

도 9는 본 발명의 추가적인 실시예에 따른 분류기 저항을 갖는 양극 전압 풀-다운 회로를 구비한 전계 방출 디스플레이의 회로도.

도 10은 본 발명의 추가적인 실시예에 따른 디스플레이 스페이서가 분류기 저항 기능을 하는 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 11은 본 발명의 추가적인 실시예에 따른 변압기를 갖는 양극 전압 풀-다운 회로를 구비한 전계 방출 디스플레이의 회로도.

도 12는 본 발명의 또 다른 실시예에 따른 탱크 회로 구성을 갖는 양극 전압 풀-다운 회로를 구비한 전계 방출 디스플레이의 회로도.

도 13은 도 12의 실시예의 동작 타이밍도.

도 14는 본 발명의 또 다른 실시예에 따른 가변 저항 회로를 포함하는 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 15는 도 14의 실시예의 동작 타이밍도.

도 16은 본 발명의 추가적인 실시예에 따른 전류-리미터 회로를 포함하는 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이의 회로도.

도 17은 도 16의 실시예의 동작 타이밍도.

발명의 상세한 설명

본 발명은 전계 방출 디스플레이의 양극에 연결된 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이에 관한 것이다. 양극 전압 풀-다운 회로는 방전 모드 구성을 가지며, 이러한 방전 모드 구성은 양극의 전위를 감소시키기 위해 사용된다. 감소된 양 전위는, 디스플레이 장치 내에서 방출되는 전자가 디스플레이 장치 내의 양으로 정전기적으로 대전된 표면을 방전시키는데 이용되게 한다. 양극 전압 풀-다운 회로는, 600V보다 더 큰, 바람직하게는 1000V보다 더 큰, 가장 바람직하게는 3000V보다 더 큰 양극 주사 전위(anode scanning potential)에 특히 유용하다.

바람직하게, 양극 전압 풀-다운 회로는, 양극 전압을 감소시키는 단계 도중에 인광물질을 활성화시키는 전자 전류를 감소시키거나 제거하는 이점을 제공한다. 예를 들면, 양극 전압 풀-다운 회로는 디스플레이 장치의 외부에 있는 전류원을 포함할 수 있다. 외부 전류원은, 디스플레이 장치의 전자 에미터로부터 방출된 전자에 의한 인광물질의 활성화를 야기하지 않는 방식으로 양극 전위를 감소시키기 위해 양극에 연결된다. 이것은, 바람직하지 않은, 가시적인 "섬광"의 발생을 피하는 이점을 제공한다.

본 발명의 양극 전압 풀-다운 회로는 또한 바람직하게 양극 전압을 풀 다운시키는데 이용되는 전류를 감소시킨다. 이것은, 양극 전압을 감소시키는 것과 관련된 전력 손실(dissipation)을 감소시키는 이점을 제공한다.

본 발명에 따른 전계 방출 디스플레이를 동작시키기 위한 방법은, 양극의 전위를 감소시키는 단계와, 그 후, 방전 전류가 디스플레이 장치의 전자 에미터로부터 방출되게 하는 단계를 포함한다. 방전 전류는 디스플레이 장치 내의 양으로 정전기적으로 대전된 표면을 중화시키는데 유용하다. 본 발명의 방법은, 양극 전위를 감소시키는 단계 도중에 디스플레이로부터의 가시적인 "섬광"의 생성을 방지한다. 더 나아가, 양극 전위 감소 단계는 바람직하게 디스플레이 장치 및/또는 양극 전원의 반응을 제어하기 위해 제어된다.

예시의 간략화 및 명료화를 위해, 도면에 도시된 요소들이 반드시 실제 축적대로 도시될 필요가 없음이 이해될 것이다. 예를 들면, 요소 중 일부의 크기는 요소 서로에 대해 과장되어 있다. 게다가, 적절하다고 여겨지는 경우, 참조 번호는 유사한 요소를 나타내기 위해서 도면 사이에서 반복되었다.

실시예

도 1은 본 발명의 바람직한 실시예에 따른 전계 방출 디스플레이(100)의 횡단면도이다. 전계 방출 디스플레이(100)는 디스플레이 장치(102) 및 양극 전압 풀-다운 회로(127)를 포함한다.

디스플레이 장치(102)는 음극판(110) 및 양극판(122)을 포함한다. 음극판(110) 및 양극판(122)은 스페이서(136)에 의해 일정한 간격만큼 떨어진다. 음극판(110)은 유리, 실리콘 및 동종 물질로 만들어질 수 있는 기판(111)을 포함한다. 복수의 전도성 행(column)(112)은 기판(111) 상에 배치된다. 유전층(113)은 전도성 행(112) 상에 배치되며, 추가로 복수의 우물(well)을 한정한다.

전자 에미터(114)는 각각의 우물에 배치된다. 양극판(122)은, 전자 에미터(114)에 의해 방출된 전자 전류(132, I)를 받아들이도록 배치된다. 복수의 전도성 열(row)(115)은 우물 근처의 유전층(113) 상에 형성된다. 전도성 행(112) 및 전도성 열(115)은 전자 에미터(114)를 선택적으로 어드레싱(addressing)하는데 이용된다.

이해를 용이하게 하기 위해서, 도 1은 몇 개의 열과 하나의 행만을 도시한다. 그러나, 임의의 개수의 열과 행이 사용될 수 있는 것으로 이해되는 것이 바람직하다. 디스플레이 장치(102)에 대한 예시적인 열의 개수는 240개이고, 예시적인 행의 개수는 720개이다. 매트릭스-어드레스 방식의 전계 방출 디스플레이를 위한 음극판을 제조하기 위한 방법이 당업자에 공지되어 있

다.

양극판(122)은, 예컨대 유리로 만들어진 투명 기판(123)을 포함한다. 양극(124)은 투명 기판(123) 상에 배치된다. 양극(124)은 바람직하게 인듐 주석산화물과 같은 투명 전도성 물질로 만들어진다. 바람직한 실시예에서, 양극(124)은, 음극판(110)의 전체 방출 영역과 마주보는 연속층이다. 즉, 양극(124)은 전체 전자 에미터(114)와 마주본다. 양극(124)은 전원(126)에 연결되도록 설계되며, 전원은 바람직하게 직류(D.C.) 전원이다. 복수의 인광물질(125)은 양극(124) 상에 배치된다. 매트릭스-어드레스 방식의 전계 방출 디스플레이를 위한 양극판을 제조하기 위한 방법이 또한 당업자에 공지되어 있다.

양극 전압 풀-다운 회로(127)의 출력(104)은 양극(124)의 입력(121)에 연결된다. 양극 전압 풀-다운 회로(127)의 입력(106)은 전원(126)에 연결되도록 설계된다.

스페이서(136)는 음극판(110)과 양극판(122) 사이의 분리간격을 유지하는데 유용하다. 하나의 스페이서(136)만 도 1에 도시된다. 그러나, 스페이서(136)의 실제 개수는 디스플레이 장치(102)의 구조적 요구사항에 의존한다.

스페이서(136)는 유전 물질, 큰 부피의 저항성 물질 또는 이러한 물질의 화합물로 만들어질 수 있다. 스페이서(136)는 얇은 판, 리브(rib) 또는 다수의 다른 형상중 임의의 것 일 수 있다. 스페이서(136)에 의해 한정되는 유전 표면은, 전계 방출 디스플레이(100)의 동작 동안에 양으로 정전기적으로 대전된 표면(137)이 될 수 있다. 디스플레이 장치(102) 내에 있는, 유전층(113)의 표면(138)과 같은 다른 표면은 장치의 동작 동안에 양으로 정전기적으로 또한 대전될 수 있다. 전자 전류(132)의 전자중 일부가 기체 분자에 부딪쳐 양으로 이온화되어 이들 표면에 충돌하기 때문에, 이들 표면은 대전된다. 만약 표면이 하나보다 더 큰 제 2 전자 산출량을 갖는다면, 표면은 받아들인 각 전자 또는 이온에 대해서 하나 초과 전자 방출한다. 따라서, 양전위가 발생된다. 본 발명의 방법은 이러한 표면상의 전하를 감소시키는데 유용하며, 동시에, 전하를 감소시키기 위한 단계 도중에 전력 요구사항, 블랙 레벨 및 전원(126)의 반응을 개선한다.

전압원(194)은 전도성 행(112) 각각에 연결된다. 전압원(194)은, 디스플레이 장치(102)의 전하 축적을 감소시키고, 디스플레이 이미지를 생성하기 위해 비디오 데이터에 의해 한정되는 전위를 인가하는데 유용하다. 전원(192)은 각각의 전도성 열(115)에 연결된다. 전원(192)은 디스플레이 이미지를 생성하고 그리고 디스플레이 장치(102)의 전하 축적을 감소시키기 위한 전위를 인가하는데 유용하다.

이제, 전계 방출 디스플레이(100)의 동작은 도 1을 참조로 기술될 것이다. 전계 방출 디스플레이(100)의 동작은 두 동작 모드(주사 모드 및 방전 모드)를 특징으로 한다. 주사 모드 동안에, 전위는 전도성 열(115)에 순차적으로 인가된다. 주사를 통해, 전자를 방출시키기에 적합한 전위가 주사될 열에 선택적으로 인가된다. 주사될 열 내의 전자 에미터(114) 각각이 전자를 방출시키도록 유도되는지의 여부는 각 행에 인가되는 비디오 데이터와 전압에 의존한다. 주사되지 않고 있는 열의 전자 에미터(114)는 전자를 방출시키도록 유도되지 않는다. 전도성 열(115)중 하나가 주사되는 동안에, 전위는 비디오 데이터에 따라 전도성 행(112)에 인가된다.

주사 모드 동안에, 양극(124)의 전위인 양극 전압(V_A)이, 전자 전류(132)를 양극판(122)쪽으로 끌어들이며, 인광물질(125)에 의해 생성된 희망 레벨의 휘도를 갖는 이미지를 제공하도록 선택된다. 양극 전압(120)은 전원(126)에 의해 제공된다. 본 발명에 따라, 주사 모드 동안에, 양극 전압(120)은, 바람직하게는 600V보다 더 크고, 더 바람직하게는 1000V보다 더 크며, 및 가장 바람직하게는 3000V보다 더 큰 어떤 값(V

S)으로 유지된다.

주사 모두 동안에, 전자 에미터(114)에 의해 방출되는 대부분의 전자는 양극판(122)에 충돌한다. 그러나, 방출된 전자중 일부는 디스플레이 장치(102) 내의 유전 표면에 부딪쳐, 이 유전 표면이 양으로 정전기적으로 대전되게 한다. 대전된 표면은 전자 전류(132)의 제어에 악영향을 미치는 것과 같은 바람직하지 않은 효과를 야기한다.

전계 방출 디스플레이(100)의 방전 동작 모드를 얻기 위해서, 본 발명에 따라, 양극 전압(120)은 주사 모드값(V_S)으로부터 방전 모드값(V_D)으로 감소되며, 전자 전류(132)는 주사 모드값(I_S)으로부터 방전 모드값(I_D)으로 증가된다. 전자 전류(132)의 방전 모드값(I

D)은 디스플레이 장치(102) 내의 양으로 정전기적으로 대전된 표면을 중화시키는데 유용하다. 양극 전압(120)은, 전자 전류(132)가 대전된 표면을 향하게 하기에 충분한 양으로 감소된다. 바람직하게, 양극 전압(120)은 대략 접지 전위까지 감소된다. 양극 전압 풀-다운 회로(127)는 방전 동작 모드 동안에 양극 전압(120)을 감소시키는데 유용하다.

방전 전류(I_D)는 전체 전자 에미터(114)가 전자를 방출하게 함으로써 바람직하게 발생된다. 이것은 적절한 방출/"온(on)" 전위를 음극판(110)의 모든 열(115) 및 행(112)에 인가함으로써 얻어진다. 따라서, 중화에 이용 가능한 방전 전류는 열(115)의 총 개수와 열(115)당 최대 방출 전류의 곱과 같다. 방전 전류는 전자 에미터(114) 모두가 다 전자를 방출하게는 하지 않음으로써 또한 발생될 수 있다.

바람직한 실시예에서, 풀-다운 및 방전 단계는 한 주사 주기에 뒤이은 디스플레이 프레임의 끝에서 일어난다. 그러나, 다른 적절한 타이밍 구조가 사용될 수 있다. 예를 들면, 방전 모드는 복수의 디스플레이 프레임이 완성되었던 후 일어날 수 있다.

도 2는 본 발명에 따른 전계 방출 디스플레이(100)를 동작하기 위한 방법을 예시하는 타이밍도이다. 도 2는 본 발명에 따른 전계 방출 디스플레이(100)를 동작하기 위한 방법의 바람직한 실시예를 예시한다. 도 2에 예시된 바와 같이, 방전 동작 모드는

양극 전압(V_D)을 주사 모드값(V

V_D)으로부터 방전 모드값(V_D)으로 감소시키는 단계를 포함한다. 양극 전압(V_D)이 감소되어진 후, 전자 전류(I_D)는 주사 모드값(V_D)

V_D)으로부터 방전 모드값(I_D)으로 증가된다. 바람직하게, 전자 전류(I_D)는 양극 전압(V_D)이 V_D 와 같거나 거의 V_D 와 같을 때 증가된다.

도 3 및 도 4는 본 발명의 바람직한 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 3의 실시예에서, 양극 전압 풀-다운 회로(127)는 가변 전류원(128)을 포함한다. 가변 전류원(128)은 양극(124)의 입력(121)에 연결된 입력(130)을 갖는다. 가변 전류원(128)의 입력(130)은 전원(126)에 연결되도록 또한 설계된다. 도 3의 바람직한 실시예에서, 양극 전압 풀-다운 회로(127)는 또한 가변 전류원(128)의 양극(124)으로의 연결이 끊어지지 않으면서 전원(126)의 양극(124)으로의 연결이 끊어지게 하도록 구성된 스위치(129)를 포함한다.

일반적으로, 본 발명을 구체화하는 양극 전압 풀-다운 회로의 스위치 소자는 많은 방법으로 구현될 수 있다. 고속 스위칭에 대해서, 일련의 트랜지스터(a bank of transistors)가 이용될 수 있다. 높은 스위칭 속도가 필요하지 않을 때, 기계적 스위치가 이용될 수 있다. 수은 스위치 또는 진공 장치 스위치와 같은 다른 스위치가 또한 이용될 수 있다.

양극 전압 풀-다운 회로(127)는 주사 모드 구성 및 방전 모드 구성을 특징으로 한다. 주사 모드 구성은 전계 방출 디스플레이(100)의 주사 동작 모드 동안의 양극 전압 풀-다운 회로(127) 구성이다. 방전 모드 구성은 전계 방출 디스플레이(100)의 방전 동작 모드 동안의 양극 전압 풀-다운 회로(127)의 구성이다.

도 3의 실시예에서, 양극 전압 풀-다운 회로(127)의 주사 모드 구성은, 스위치(129)가 닫혀져서, 어떠한 양극 전압 풀-다운 전류(119)도 가변 전류원(128)에 의해 유입되지 않는 것을 특징으로 한다. 방전 모드 구성은 스위치(129)가 열려, 양극 전압 풀-다운 전류(119)가 가변 전류원(128)의 입력(130)으로 흘러 들어가는 것을 특징으로 한다. 양극 전압 풀-다운 전류(119)는 양극 전압(V_D)을 감소시키는데 유용하다.

도 4는 본 발명의 바람직한 실시예에 따른 전계 방출 디스플레이(100)의 회로도이다. 도 4의 실시예에서, 스위치(129)는 제 1 전계 방출 장치(163), 제 2 전계 방출 장치(162), 제 3 전계 방출 장치(161) 및 풀-업 저항(167)을 포함한다. 각 전계 방출 장치(163, 162 및 161)는 스퍼트 타입일 수 있는 복수의 전자 에미터(175)를 갖는다. 스위치(129)의 각 장치 내의 게이트와 음극은 장치를 활성화시키자마자 전자 에미터(175)들이 동시에 전자를 방출시키도록 구성된다.

제 1 전계 방출 장치(163)의 음극(176)과 제 3 전계 방출 장치(161)의 음극(166)은 가변 전류원(128)의 입력(130)에 연결된다. 제 1 전계 방출 장치(163)의 양극(174)은 제 2 전계 방출 장치(162)의 게이트(178)에 연결된다. 제 2 전계 방출 장치(162)의 양극(180)은 전원(126)에 연결되도록 설계된다. 제 2 전계 방출 장치(162)의 음극(182)은 제 3 전계 방출 장치(161)의 양극(165)에 연결된다. 제 3 전계 방출 장치(161)의 양극(165)은 양극판(122)의 양극(124)에 또한 연결된다. 풀-업 저항(167)은 제 2 전계 방출 장치(162)의 양극(180)과 제 1 전계 방출 장치(163)의 양극(174) 사이에 걸쳐 있다.

도 4에 더 예시된 바와 같이, 바람직한 실시예의 가변 전류원(128)은 복수의 전계 효과 트랜지스터(131)를 포함한다. 전계 효과 트랜지스터(131)의 드레인(206)들은 도 4에 도시된 방식으로 연결된다. 전계 효과 트랜지스터(131) 각각의 소스(204)는 접지에 연결된다. 가변 전류원(128)의 입력(130)은 일련의 전계 효과 트랜지스터(131)들 중의 제 1 전계 효과 트랜지스터의 드레인(206)에 연결된다.

각 전계 효과 트랜지스터(131)의 게이트에는 입력(133)이 연결된다. 트랜지스터를 활성화시키고, 이를 통해 양극 전압 풀-다운 전류(119)에 기여하는 신호가 입력(133)에 인가된다. 도 4에 예시된 바와 같이, 신호(S_1)

S_1)는 제 1 전계 효과 트랜지스터(131)의 입력(133)에 인가되고, 신호(S_2)는 일련의 전계 효과 트랜지스터(131)들 중의 제 2 전계 효과 트랜지스터의 입력(133)에 인가되고, 신호(S_3)는 일련의 전계 효과 트랜지스터(131)들 중의 제 3 전계 효과 트랜지스터의 입력(133)에 인가된다. 3개 미만 또는 3개 초과 of 전계 효과 트랜지스터가 사용될 수 있다. 전계 효과 트랜지스터(131)의 개수는, 부분적으로, 원하는 양극 전압(V_D)의 감소율을 제공하도록 선택된다.

도 5는 본 발명에 따른 도 4의 전계 방출 디스플레이(100)를 동작하기 위한 방법을 예시하는 타이밍도이다. 도 4의 실시예의 양극 전압 풀-다운 회로(127)의 주사 모드 구성 동안에, 제 1 전계 방출 장치(163) 및 제 3 전계 방출 장치(161)의 전자 에미터(175)는 전자를 방출하지 않는다. 주사 모드 구성 동안에, 제 2 전계 방출 장치(162)의 전자 에미터(175)는 전자를 방출하며, 가변 전류원(128)은 활성화되지 않는다. 더 나아가, 어떠한 양극 전압 풀-다운 전류(119)도 가변 전류원(128)의 입력(130)으로 흐르지 않는다. 또한, 전류(190)는 음극(182)으로부터 양극(165)으로 흘러, 디스플레이 장치(102)의 주사 동작 모드 동안에 양극 전압(V_D)을 유지시킨다. 게다가, 게이트(178)의 전압($V_{G,162}$)

$V_{G,162}$

)은 높게 되어, 제 2 전계 방출 장치(162)에서 전자 방출을 야기하며, 게이트(164 및 172)의 전압($V_{G,161}$ 및 $V_{G,163}$)은 낮아져, 제 1 및 제 3 전계 방출 장치(163 및 161)에서 전자 방출을 차단한다.

$V_{G,161}$ 및 $V_{G,163}$)은 낮아져, 제 1 및 제 3 전계 방출 장치(163 및 161)에서 전자 방출을 차단한다.

또한, 도 5에 예시된 바와 같이, 양극 전압 풀-다운 회로(127)의 방전 모드 구성 동안에, 시간(t_0)에서, 제어 신호(135)가 제 1 및 제 3 전계 방출 장치(163 및 161)의 전자 에미터(175)로부터 전자 전류(184 및 188)를 활성화시키기 위해서 전원들에 각각 인가된다. 예를 들면, 게이트(164 및 172)의 전압($V_{G,161}$ 및 $V_{G,163}$)은 도 5에 예시되는 바와 같이 증가될 수 있다. 이것은 풀-업 저항(167)을 흐르는 전류(170)를 발생시켜, 게이트(178)의 전압($V_{G,162}$)을 감소시킨다. $V_{G,162}$ 의 강하는 제 2 전계 방출 장치(162)에서의 방출을 중지시키며, 전류(190)를 감소시킨다. 제 3 전계 방출 장치(161)에서의 방출은 전류(195)가 디스플레이 장치(102)의 양극(124)으로부터 제 3 전계 방출 장치(161)의 양극(165)으로 흐르게 하여, 양극 전압(120)을 감소시킨다.

본 발명에 따라서, 양극 전압(120)의 감소율은 전원(126) 및 디스플레이 장치(102)의 반응을 풀-다운 프로세스로 제어하도록 제어된다. 예를 들면, 풀-다운율이 너무 높다면, 전원(126)의 출력은 발전하거나 또는 일정치 않을 수 있다. 더 나아가, 제어되지 않은 풀-다운율은 양극판(122) 및 음극판(110)이 발전하게 할 수 있으며, 어쩌면 들을 수 있는 기계적 진동을 야기할 수도 있다.

도 4 및 도 5의 실시예에서, 양극 전압(120)의 감소율은 풀-다운 단계 동안에 전계 효과 트랜지스터(131)를 순차적으로 활성화시킴으로써 제어된다. 초기에, 단 하나의 신호(S_1)가 전계 효과 트랜지스터(131)들 중 제 1 전계 효과 트랜지스터의 입력(133)에 인가된다. 그 후, S_2 가 전계 효과 트랜지스터(131)들 중 제 2 전계 효과 트랜지스터의 입력(133)에 인가된다. 이와 같이, 양극 전압 풀-다운 전류(119)는 제어를 통해 증가될 수 있다. 따라서, 양극 전압(120)의 감소율은, 도 5의 그래프(120)의 풀-다운 부분(118)으로 나타낸 바와 같이 제어를 통해 증가된다.

양극 전압(120)이 시간(t_d)에서 충분히 감소될 때, 방전 전류(I_D)가 디스플레이 장치(102) 내에서 발생된다. 그 후, 방전 전류(I_D)는 종료되며, 양극 전압(120)은 자신의 주사 모드값(V_G)으로 환원된다.

이것은 가변 전류원(128)을 활성화 해제시키고, 나아가 제 1 및 제 3 전계 방출 장치(163 및 161)를 활성화 해제시킴으로써 얻어진다. 풀-업 저항(167)을 흐르는 전류(170)는 강하하여, 게이트(178)의 전압($V_{G,162}$)이 상승하게 한다. 제 2 전계 방출 장치(162)의 전자 에미터(175)는 전자를 방출하게 되며, 전류(190)가 음극(182)으로부터 양극(165)으로 흐른다. 전류(195)는 양극(165)으로부터 양극(124)으로 흐르게 되어 디스플레이 장치(102)의 커패시턴스를 먼저 충전시키고, 그런 다음 자신의 주사 값으로 양극 전압(120)을 유지시킨다.

도 6은 본 발명의 또 다른 실시예에 따른 전계 방출 디스플레이(100)의 회로도이다. 도 6의 실시예에서, 다이오드(197)는 스위치(129)의 제 3 전계 방출 장치(161)를 대신한다. 다이오드(197)는 양극(200)을 갖는데, 이 양극(200)은 제 2 전계 방출 장치(162)의 음극(182)에 연결되고, 또한 양극판(122)의 양극(124)에 연결된다. 다이오드(197)는 제 1 전계 방출 장치(163)의 양극(174)에 연결되는 음극(202)을 또한 갖는다.

도 6의 실시예의 동작에 있어서, 제 1 전계 방출 장치(163)는 제어 신호(135)에 의해 활성화되며, 가변 전류원(128)은 도 4 및 도 5를 참조로 기술된 방식으로 활성화된다. 제 1 전계 방출 장치(163)에서의 방출은 게이트(178)의 전압을 풀 다운시키며, 제 2 전계 방출 장치(162)내의 방출을 종료시킨다. 이것은, 다이오드(197)의 음극(202)에서의 전압이 전류(198)가 다이오드(197)를 통해 흐르게 하도록 충분히 강하하게 한다. 전류(198)는 도 5에서 또한 나타내었다. 전류(198)의 활성화는 양극(124)의 방전을 허용한다. 양극 전압(120)의 감소율은 도 4 및 도 5를 참조로 기술된 방식으로 제공된다.

도 7은 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 7의 실시예에서, 가변 전류원(128)은 양극(173), 복수의 열(107) 및 복수의 행(108)을 갖는 전계 방출 장치를 포함한다. 전압원(140)은 각 열(107)에 연결되고, 전압원(141)은 각 행(108)에 연결된다. 전원(140 및 141)은, 양극 전압 풀-다운 전류(119)를 제어하기 위해서 복수의 전자 에미터(139)를 선택적으로 어드레스하는데 유용하다. 가변 전류원(128)의 입력(130)은 전계 방출 장치의 양극(173)에 연결된다.

도 7의 실시예에서, 양극 전압 풀-다운 회로(127)의 주사 모드 구성은 가변 전류원(128)의 전계 방출 장치의 비활성화를 특징으로 하며, 나아가 스위치(129)가 닫혀 있는 것을 특징으로 한다. 방전 모드 구성은, 양극 전압 풀-다운 전류(119)가 입력(130)으로 흐르게 하여, 디스플레이 장치(102)의 양극(124)을 방전시키도록 가변 전류원(128)의 전계 방출 장치를 활성화시키는 것을 특징으로 한다. 방전 모드 구성은 스위치(129)가 열려 있는 것을 또한 특징으로 한다. 양극 전압(120)이 충분히 감소되어진 후, 방전 전류가 디스플레이 장치(102) 내의 양으로 정전기적으로 대전된 표면을 중화시키기 위해 전자 전류(132)에 의해 제공된다.

가변 전류원(128)의 전계 방출 장치가 디스플레이 장치(102)와 분리된 것으로 도 7에 예시되어 있다. 그러나, 가변 전류원

(128)의 전계 방출 장치가 디스플레이 장치(102)의 내부 부품일 수 있는 것으로 이해되는 것이 바람직하다.

도 8은 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 8의 실시예에서, 양극 전압 풀-다운 회로(127)는 분류기 저항(149)을 포함한다. 분류기 저항(149)은 전계 방출 디스플레이(100)의 방전 동작 모드 동안에 디스플레이 장치(102)의 양극(124)을 방전시키는데 유용하다. 분류기 저항은, 양극 전압 풀-다운 전류(119)가 양극(124)으로부터 전기 접점으로 흐를 수 있도록, 양극(124)에 연결되도록 설계된다.

도 8의 실시예에서, 양극 전압 풀-다운 회로(127)는 또한 전원(126)에 연결된 저항(183)과, 전원(126)이 양극(124)에 연결이 끊어지게 하지 않으면서 분류기 저항(149)이 양극(124)에 연결이 끊어지지 않게 하도록 구성되는 스위치(151)를 포함한다. 도 8의 실시예의 양극 전압 풀-다운 회로(127)의 주사 모드 구성은 스위치(151)가 열려 있는 것을 특징으로 하며, 방전 모드 구성은 스위치(151)가 닫혀 있는 것을 특징으로 한다. 양극 전압(120)의 풀-다운에 뒤이어, 방전 전류가 전계 방출 디스플레이(100) 내의 양으로 정전기적으로 대전된 표면을 중화시키기 위해서 전자 전류(132)에 의해 제공된다.

도 9는 본 발명의 추가적인 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 9의 실시예는 도 8의 실시예와 유사하며, 스위치(129)를 더 포함한다. 스위치(129)는, 분류기 저항(149)이 양극(124)에 연결이 끊어지게 하지 않으면서 전원(126)이 양극(124)에 연결이 끊어지게 하도록 구성된다. 주사 모드 구성은 또한 스위치(129)가 닫혀 있는 것을 특징으로 하고, 방전 모드 구성은 또한 스위치(129)가 열려 있는 것을 특징으로 한다.

도 10은 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 10의 실시예에서, 디스플레이 장치(102)의 스페이서(136)는 분류기 저항 기능을 한다. 도 10의 실시예의 양극 전압 풀-다운 회로(127)의 방전 모드 구성은 스위치(129)가 열려 있는 것을 특징으로 한다. 양극(124)을 방전시키기 위해서, 양극 전압 풀-다운 전류(119)는 양극(124)으로부터 스페이서(136)를 통해서 음극판(110)으로 흐른다. 스페이서(136)에서의 전위는, 음극판(110) 상에 배치되고, 스페이서(136)에 연결되는 전도성 층(142)을 제공함으로써 제어될 수 있다. 원하는 양극 전압 풀-다운 전류(119)를 얻기 위해서, 스페이서(136)는 적당한 부피의 저항성 물질로 만들어진다.

도 11은 본 발명의 추가적인 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 11의 실시예에서, 양극 전압 풀-다운 회로(127)는 변압기(143)를 포함한다. 바람직하게, 변압기(143)는 포토-플래시, 트리거 유형의 펄스 변압기(photo-flash, trigger-type pulse transformer)이다. 그러나, 다른 유형의 변압기가 사용될 수 있다. 도 11에 예시된 바와 같이, 변압기(143)는 제 1 코일(144) 및 제 2 코일(145)을 갖는다. 변압기(143)는, 전계 방출 디스플레이(100)의 방전 동작 모드 동안에 변압기(143)를 동작시키는(fire) 구동 회로에 연결된다.

변압기(143)를 동작시키면, 전원(126)의 극성과 반대 극성을 갖는 전압 펄스가 제 2 코일(145)에 의해 인가된다. 도 11의 실시예에서, 변압기(143)를 동작시키는데 유용한 구동 회로는 바이폴라 트랜지스터(146)를 포함한다. 바이폴라 트랜지스터(146)의 컬렉터는 제 1 코일(144)의 제 1 단자에 연결된다. 바이폴라 트랜지스터(146)의 에미터는 접지에 연결된다.

바이폴라 트랜지스터(146)는 자신의 베이스에 전기 펄스(147)를 인가함으로써 활성화된다. 전기 펄스(147)는 전압 펄스 또는 전류 펄스일 수 있다. 바이폴라 트랜지스터(146)를 활성화시키면 제 1 코일(144)의 제 1 단자는 접지된다. 전원(181)은 제 1 코일(144)의 제 2 단자에 전위를 제공한다. 따라서, 바이폴라 트랜지스터(146)가 활성화될 때, 전압 강하가 제 1 코일(144)의 제 2 및 제 1 단자 사이에 나타난다. 제 1 코일(144)은 도 11의 실시예의 양극 전압 풀-다운 회로(127)의 방전 모드 구성에 대해서 이러한 방식으로 구동된다.

주사 모드 구성은, 바이폴라 트랜지스터(146)가 활성화되지 않음으로써, 제 1 코일(144) 사이에서 전압 강하가 거의 또는 전혀 일어나지 않게 되는 것을 특징으로 한다. 따라서, 제 1 코일(144)은 도 11의 실시예의 양극 전압 풀-다운 회로(127)의 주사 모드 구성에 대해 구동되지 않는다.

제 2 코일(145)은 전원(126)에 연결되도록 설계된 입력(177)과, 양극(124)에 연결된 출력(179)을 갖는다. 방전 모드 동안에, 변압기(143)는 양극 전압(120)을 대략 접지 전위로 강하시키기에 충분한 반대 극성의 전압 펄스를 인가한다. 양극 전압(120)이 낮은 동안, 전자 에미터(114)에 의해 방전 전류가 제공되어 전계 방출 디스플레이(100) 내의 양으로 정전기적으로 대전된 표면을 중화시킨다.

도 12는 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 12의 실시예에서, 양극 전압 풀-다운 회로(127)는 탭 회로와 유사한 기능을 하며, 인덕터(156)를 포함한다. 인덕터(156)는 양극(124)에 연결되도록 설계된다. 도 12의 실시예의 양극 전압 풀-다운 회로(127)는, 전원(126)을 양극(124)에 연결이 끊어지게 하지 않으면서 인덕터(156)가 양극(124)에 연결이 끊어지게 하도록 구성되는 제 1 스위치(160)를 더 포함한다. 도 12의 실시예의 양극 전압 풀-다운 회로(127)는, 인덕터(156)를 양극(124)에 연결이 끊어지게 하지 않으면서 전원(126)이 양극(124)에 연결이 끊어지게 하도록 구성되는 제 2 스위치(158)를 더 포함한다.

도 12의 실시예의 양극 전압 풀-다운 회로(127)의 방전 모드 구성은, 제 1 스위치(160)는 닫혀 지고, 제 2 스위치(158)는 열려 있는 것을 특징으로 한다. 이러한 구성에서, 디스플레이 장치(102)는 커패시터처럼 동작한다. 방전 모드 구성 동안에, 양극 전압 풀-다운 회로(127) 및 디스플레이 장치(102)에 의해 형성된 회로의 동작은 탭 회로의 동작과 유사하다. 즉, 전하는 양극(124)과 인덕터(156) 사이에서 이리저리 이동한다. 전하 이동의 발진 주파수는 인덕터(156)의 인덕턴스와 디스플레이 장치(102)의 커패시턴스에 의해 결정된다.

도 15는 도 12의 실시예의 동작을 예시하는 타이밍도이다. 도 13에 예시된 바와 같이, 시간(t

t_0)은 전계 방출 디스플레이(100)의 방전 동작 모드에 대한 개시를 나타낸다. 시간(t

t_0) 이전인, 주사 동작 모드 동안에, 제 2 스위치(158)는 닫히며, 제 1 스위치(160)는 열려, 양극 전압(V_A)이 전원(126)에 의해 자신의 주사 모드값(V_S)으로 유지되게 한다.

시간(t_0)에서, 제 2 스위치(158)는 열리고, 제 1 스위치(160)는 닫힌다. 그런 다음, 양극(124)과 인덕터(156) 사이의 전하 이동이 개시된다. 그 결과는 도 13에 예시된 바와 같은 양극 전압(120)의 사인파 형태의 반응이다. 양극 전압(120)은 자신의 주사 모드값(V

S)으로부터 방전 모드값(V_D)으로 강하한다. 양극 전압(120)이 방전 모드값이거나 거의 방전 모드값일 때, 방전 전류(I

D)는 전자 에미터(114)에 의해 방출되게 한다. 도 13에 예시된 바와 같이, 방전 전류는 시간(t

t_1)과 시간(t_2) 사이에 제공되며, 양극 전압(120)이 낮아지게 된다. 시간(t

t_3)에서, 양극 전압(120)이 자신의 최대값으로 귀환할 때, 제 1 스위치(160)는 열리고, 제 2 스위치(158)는 닫히며, 양극 전압(120)의 발진은 정지한다.

도 14는 본 발명의 또 다른 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다. 도 14의 실시예에서, 양극 전압 풀-다운 회로(127)는 가변 저항 회로(116)를 포함하며, 이 가변 저항 회로는 양극(124)의 입력(121)에 연결된 출력(157)을 가지며, 전원(126)에 연결되도록 설계된 입력(169)을 더 갖는다.

가변 저항 회로(116)는, 전계 방출 디스플레이(100)의 주사 동작 모드 동안에 제 1 저항을 제공하며, 전계 방출 디스플레이(100)의 방출 동작 모드 동안에 제 2 저항을 제공하도록 설계된다. 본 발명에 따라, 제 1 저항은 제 2 저항보다 더 낮다. 본 발명의 범위는 가변 저항을 제공하기 위한 도 14에 예시된 회로 소자의 구성으로 제한되지 않는다. 방전 동작 모드 동안의 증가된 저항은 양극 전압(120)을 감소시키는데 유용하다. 더 높은 제 2 저항은 또한 제 1 저항 양단의 전류를 증가시킴으로써 얻어지는 동일한 전압 강하에서 실현되는 것보다 전력 손실 레벨이 작아지는 이점을 제공한다.

도 14의 실시예에서, 가변 저항 회로(116)는 병렬 연결된 제 1 및 제 2 저항(153 및 155)을 포함하며, 스위치(148)를 더 포함한다. 제 1 저항(153)의 저항은 제 2 저항(155)의 저항 보다 더 크다. 스위치(148)는, 스위치(148)가 열릴 때 전류가 제 1 저항(153)을 통해 흐르는 것을 막지 않으면서 전류가 제 2 저항(155)을 통해 흐르는 것을 막도록 구성된다.

앞에서 기술된 바와 같이, 스위치(148)는 많은 방식으로 구현될 수 있다. 고속의 스위칭의 경우, 일련의 트랜지스터가 이용될 수 있다. 고속의 스위칭 속도가 필요하지 않을 때, 기계적인 스위치가 이용될 수 있다. 수은 스위치 또는 진공 장치 스위치와 같은 다른 스위치가 스위치(148)를 구현하는데 또한 유용할 수 있다.

가변 저항 회로(116)의 주사 모드 구성은 스위치(148)가 닫혀져, 가변저항 회로(116)에 의해 제공되는 저항이 제 1 값이 되는 것을 특징으로 한다. 가변 저항 회로(116)의 방전 모드 구성은 스위치(148)가 열려져, 가변 저항 회로(116)에 의해 제공되는 저항이 제 1 값보다 더 높은 제 2 값이 되는 것을 특징으로 한다.

도 15는 도 14의 실시예의 동작을 예시하는 타이밍도이다. 도 15에 도시된 바와 같이, 방전 동작 모드 동안에 스위치(148)는 열린다.

도 15의 상단 그래프(132)에 예시된 바와 같이, 전자 전류(132)는, 스위치(148)가 열린 후, 짧은 시간 동안 자신의 주사 모드값(I_S)을 유지할 수 있게 된다. 도 15에서 점선 그래프(120)로 예시된 바와 같이, 이것은 방전 전류(I

D)를 발생시키기 전에 양극 전압(120)이 강하하게 한다. 그 후에, 전자 에미터(114)에 의해 방전 전류(I

D)가 발생되어, 양극 전압(120)을 접지 전위로 풀 다운시키고, 전계 방출 디스플레이(100) 내의 양으로 정전기적으로 대전된 표면을 중화시키게 된다. 이와 같이, 양극 전압(120)은 제어를 통해 감소된다.

양극 전압(120)이 자신의 주사 모드값(V_S)으로부터 얼마간 감소되어질 때까지 방전 전류(I_D)를 지연시킴으로써 또 다른 이점이 유도된다. 즉, 양극 전압(120)의 감소된 값에서, 인광물질(125)에 도달할 때의 방전 전류의 에너지는 주사 모드값(V

S)에서 가질 수 있었을 에너지보다 더 작다. 더 작은 에너지의 방전 전류는, 전계 방출 디스플레이(100)의 방전 동작 모드 동안에 디스플레이 장치(102)로부터의 가시적인 "섬광"의 정도를 감소시킨다.

대안적으로, 도 15의 하단 그래프(132)에 의해 예시된 바와 같이, 방전 전류는 스위치(148)가 열림과 거의 동시에 발생될 수 있다. 실선, 즉 그래프(120)의 풀-다운부분(134)에 의해 도시된 바와 같이, 양극 전압(120)의 감소율은 높으며, 그럼으로써 양극 전압(120)을 풀 다운시키는데 필요한 시간의 양을 감소시킨다. 높은 풀-다운 율은 양극 전압 풀-다운 회로(127)를 통한 증가된 저항과, 방전 전류를 통한 증가된 전류를 동시에 제공함으로써 얻어진다.

도 16은 본 발명의 추가적인 실시예에 따른 양극 전압 풀-다운 회로(127)를 갖는 전계 방출 디스플레이(100)의 회로도이다.

도 16의 실시예에서, 양극 전압 풀-다운 회로(127)는 가변 임피던스 회로(159)를 포함한다. 가변 임피던스 회로(159)의 출력(168)은 디스플레이 장치(102)의 양극(124)에 연결되며, 가변 임피던스 회로(159)의 입력(171)은 전원(126)에 연결되도록 설계된다.

가변 임피던스 회로(159)는 전계 방출 디스플레이(100)의 주사 동작 모드 동안에는 제 1 임피던스를 제공하고, 전계 방출 디스플레이(100)의 방전 동작 모드 동안에는 제 2 임피던스를 제공하도록 설계된다. 본 발명에 따라, 제 1 임피던스는 제 2 임피던스보다 더 낮다. 본 발명의 범위는 가변 임피던스를 제공하기 위한 도 16에 예시된 회로 소자 구성으로 제한되지 않는다.

도 16의 실시예에서, 가변 임피던스 회로(159)는 전류-리미터 회로를 포함한다. 도 16의 전류-리미터 회로에 의해 제공된 임피던스는 양극(124)으로 유도되는 양극 전류(189)에 의존한다.

도 16의 실시예의 전류-리미터 회로는 직렬로 연결된 복수의 단(150)을 포함한다. 각 단(150)은 NPN 바이폴라 접합 트랜지스터(NPN BJT)(152)와 N-채널 금속 산화물 반도체 전계 효과 트랜지스터(N-채널 MOSFET)(154)를 포함하며, 이들은 도 16에 도시된 방식으로 연결된다.

전류-리미터 회로에 사용되는 단(150)의 개수는 주사 동작 모드 동안의 양극 전압(120)의 값(V_S)을, N-채널 MOSFET(154)의 드레인-소스 접합에 대한 항복 전압(BV_{dss})으로 나눈 값의 몫(quotient)으로 주어진다. 예를 들면, V_S

가 4000V이고, BV_{dss} 가 800V인 경우, 단(150)의 개수는 5이다.

도 17은 도 16의 실시예의 동작 타이밍도이다. 전류-리미터 회로의 임피던스(Z)는, 부분적으로 전류-리미터 회로로부터 이끌어지는 양극 전류(189)의 값에 의해 결정된다. 상세하게, 임피던스는 양극 전류(189)와 NPN BJT(152)의 베이스-에미터 접합 저항의 곱(P)에 의해 결정된다.

P 가, NPN BJT(152)를 턴 온하기 위해 베이스-에미터 접합 양단에 필요한 전압(V_{be})(온)보다 더 작을 때, 전류-리미터 회로는 낮은 임피던스에서 동작한다. 낮은 임피던스 상태에서, NPN BJT(152)는 오프되며, N-채널 MOSFET(154)은 온된다. P 가 V_{be} (온)보다 더 클 때, 전류-리미터 회로는 높은 임피던스에서 동작하도록 NPN BJT(152)는 턴 온되어, N-채널 MOSFET(154)을 턴 오프 시킨다. 증가된 임피던스는 양극 전압(120)을 풀 다운시키는데 유용하다.

NPN BJT(152)의 베이스-에미터 접합 저항 및 V_{be} (온)는 따라서 원하는 양극 전압(120)의 응답을 제공하도록 선택된다. 즉, 이러한 변수는, 전자 전류(132)가 주사값(I_S)을 가질 때 전류-리미터 회로가 양극 전압(120)을 주사값(V_S)으로 유지하기 위해서 낮은 임피던스(Z_S)에서 동작하도록 선택된다. 이러한 변수는, 전자 전류(132)가 방전값(I_D)을 가질 때 전류-리미터 회로가 양극 전압(120)을 방전값(V_D)으로 풀 다운시키기 위해서 높은 임피던스(Z_D)를 제공하도록 추가로 선택된다.

대안적인 실시예에서, 가변 전류원은 도 16의 가변 임피던스 회로(159)와 양극(124) 사이에 제공된다. 이러한 대안적인 실시예에서, 가변 전류원의 입력은, 도 3의 가변 전류원(128)의 입력과 유사한 방식으로 가변 임피던스 회로(159)의 출력(168)과 양극(124)의 입력(121)에 연결된다.

이러한 대안적인 실시예에서, 가변 전류원은, 가변 임피던스 회로(159)에 의해 제공되는 임피던스를 변화시키고, 양극 전압(120)을 풀 다운시키기 위해서 전류를 제공한다. 가변 전류원은 인광물질(125)을 활성화시키지 않기 때문에, 본 실시예는 방전 동작 모드 동안에 디스플레이 장치(102)의 블랙 레벨을 개선하는 이점을 제공한다.

요약하면, 본 발명은 전계 방출 디스플레이의 양극에 연결되는 양극 전압 풀-다운 회로를 갖는 전계 방출 디스플레이에 관한 것이다. 양극 전압 풀-다운 회로는, 양극의 전위를 감소시키는데 사용되는 방전 모드 구성을 갖는다. 바람직하게, 양극 전압 풀-다운 회로는, 양극 전압을 감소시키는 단계 동안에 인광물질의 활성화를 감소시키거나 제거하는 이점을 제공한다. 본 발명에 따른 전계 방출 디스플레이를 동작하기 위한 바람직한 방법은, 양극의 전위를 감소시키는 단계와, 그 이후 전계 방출 디스플레이 내에서 양으로 정전기적으로 대전된 표면을 중화시키기 위해서 방전 전류가 전자 에미터로부터 방출되게 하는 단계를 포함한다. 본 발명의 전계 방출 디스플레이 및 방법은 개선된 전력 요구사항, 디스플레이 장치의 개선된 블랙 레벨 및 양극 전압의 감소에 대한 양극 전원과 디스플레이 판의 반응에 대한 개선된 제어와 같은 다수의 이점을 제공한다.

산업상이용가능성

본 발명의 특정 실시예를 도시하고, 기술하여오는 동안에, 추가적인 변형 및 개선이 당업자에게 발생할 것이다. 따라서, 본 발명이 도시된 특정 형태로 제한되지 않는 것으로 이해되기를 바라며, 첨부된 청구의 범위는 본 발명의 사상과 범위로부터 벗어나지 않는 모든 변형을 포괄하도록 의도된 것이다.

(57)청구의 범위

청구항1

전계 방출 디스플레이에 있어서,

복수의 전자 에미터를 갖는 음극판과,

상기 복수의 전자 에미터에 의해 방출되는 전자를 받도록 배치되며, 전원에 동작 가능하게 연결되도록 설계된 양극판과,

상기 양극판의 전위를 감소시키기 위해서, 상기 양극판에 동작 가능하게 연결되고, 상기 전원에 동작 가능하게 연결되도록 설계된 전압 감소 수단을 포함하는, 전계 방출 디스플레이.

청구항2

전계 방출 디스플레이에 있어서,

복수의 전자 에미터를 갖는 음극판과,

상기 복수의 전자 에미터에 의해 방출된 전자를 받도록 배치되고, 전원에 연결되도록 설계된 양극을 갖는 양극판과,

상기 복수의 전자 에미터로부터 방전 전류를 방출하기 이전에 상기 양극의 전위를 감소시키기 위해서, 상기 양극과 상기 전원에 연결된 전압 감소 수단을 포함하는, 전계 방출 디스플레이.

청구항3

전계 방출 디스플레이에 있어서,

복수의 전자 에미터를 갖는 음극판과,

상기 복수의 전자 에미터에 의해 방출되는 전자를 받도록 배치되고, 전원에 연결되도록 설계된 양극을 갖는 양극판과,

상기 양극에 연결된 출력과, 상기 전원에 연결되도록 설계된 입력을 갖는 양극 전압 풀-다운(pull-down) 회로를 포함하는, 전계 방출 디스플레이.

청구항4

양극과 음극을 갖는 제 1 전계 방출 장치로서, 상기 음극은 가변 전류원의 입력에 연결되도록 설계된, 제 1 전계 방출 장치와,

양극, 게이트 및 음극을 갖는 제 2 전계 방출 장치로서, 상기 제 1 전계 방출 장치의 양극은 상기 제 2 전계 방출 장치의 게이트에 연결되며, 상기 제 2 전계 방출 장치의 양극은 전원에 연결되도록 설계된, 제 2 전계 방출 장치와,

상기 제 2 전계 방출 장치의 양극과 상기 제 1 전계 방출 장치의 양극 사이에 걸쳐진 풀-업(pull-up) 저항과,

양극과 음극을 갖는 다이오드를 포함하며, 여기서 상기 제 2 전계 방출 장치의 음극은 상기 다이오드의 양극에 연결되고, 상기 제 1 전계 방출 장치의 양극은 상기 다이오드의 음극에 연결되는, 스위치.

청구항5

양극과 복수의 전자 에미터를 갖는 전계 방출 디스플레이 동작 방법에 있어서,

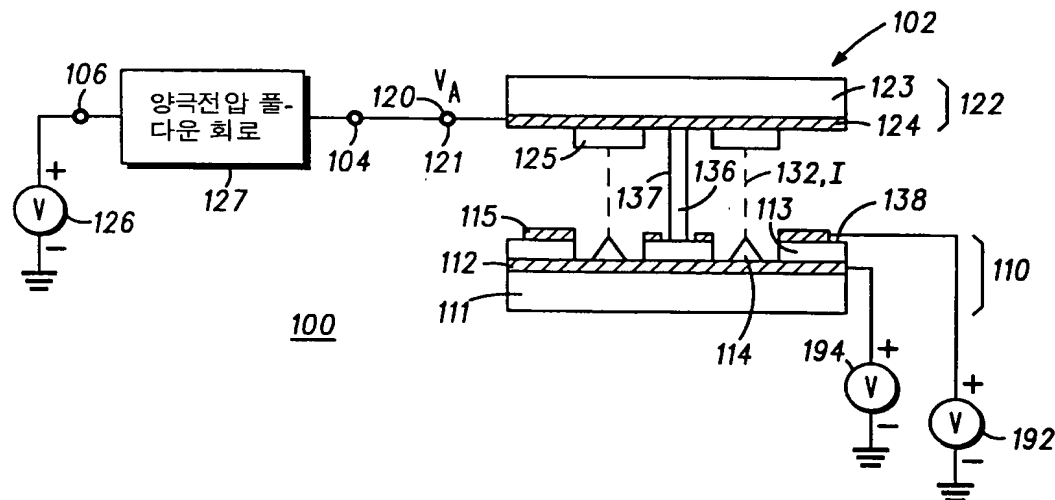
600V보다 더 큰 양전위를 상기 양극에 제공하는 단계와,

이어서, 상기 양극의 전위를 감소시키는 단계와,

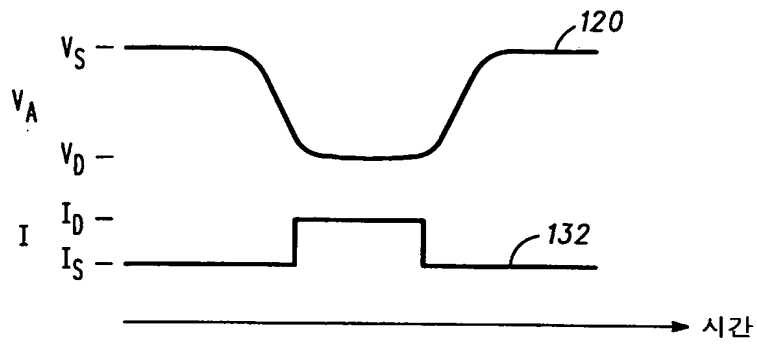
그 후, 상기 전계 방출 디스플레이 내의 양으로 정전기적으로 대전된 표면을 중화(neutralization)시키기 위해서 방전 전류가 상기 복수의 전자 에미터로부터 방출되게 하는 단계를 포함하는, 전계 방출 디스플레이 동작 방법.

도면

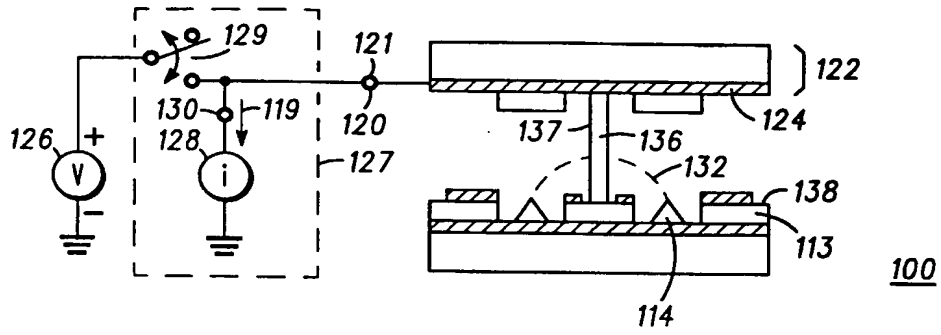
도면1



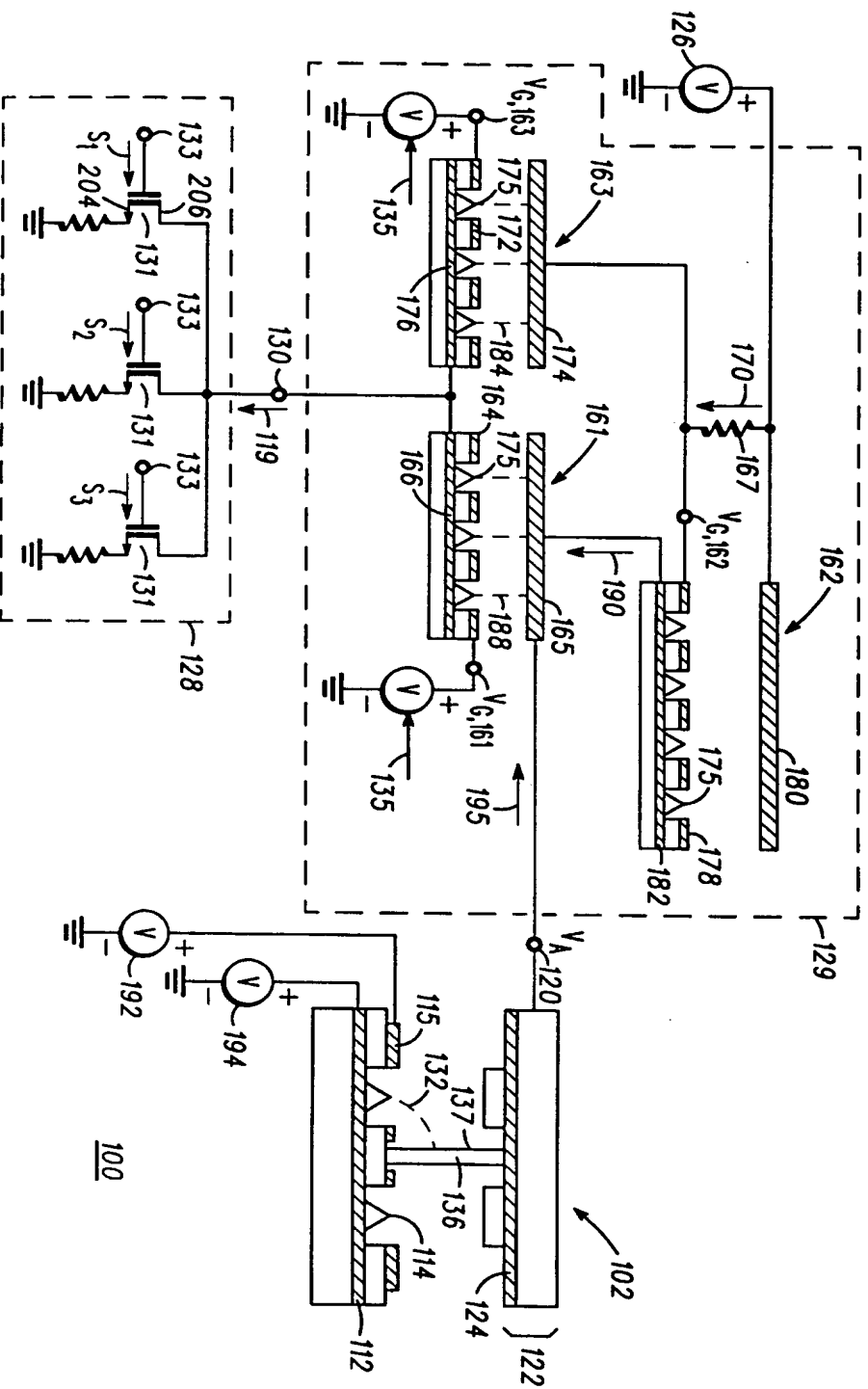
도면2

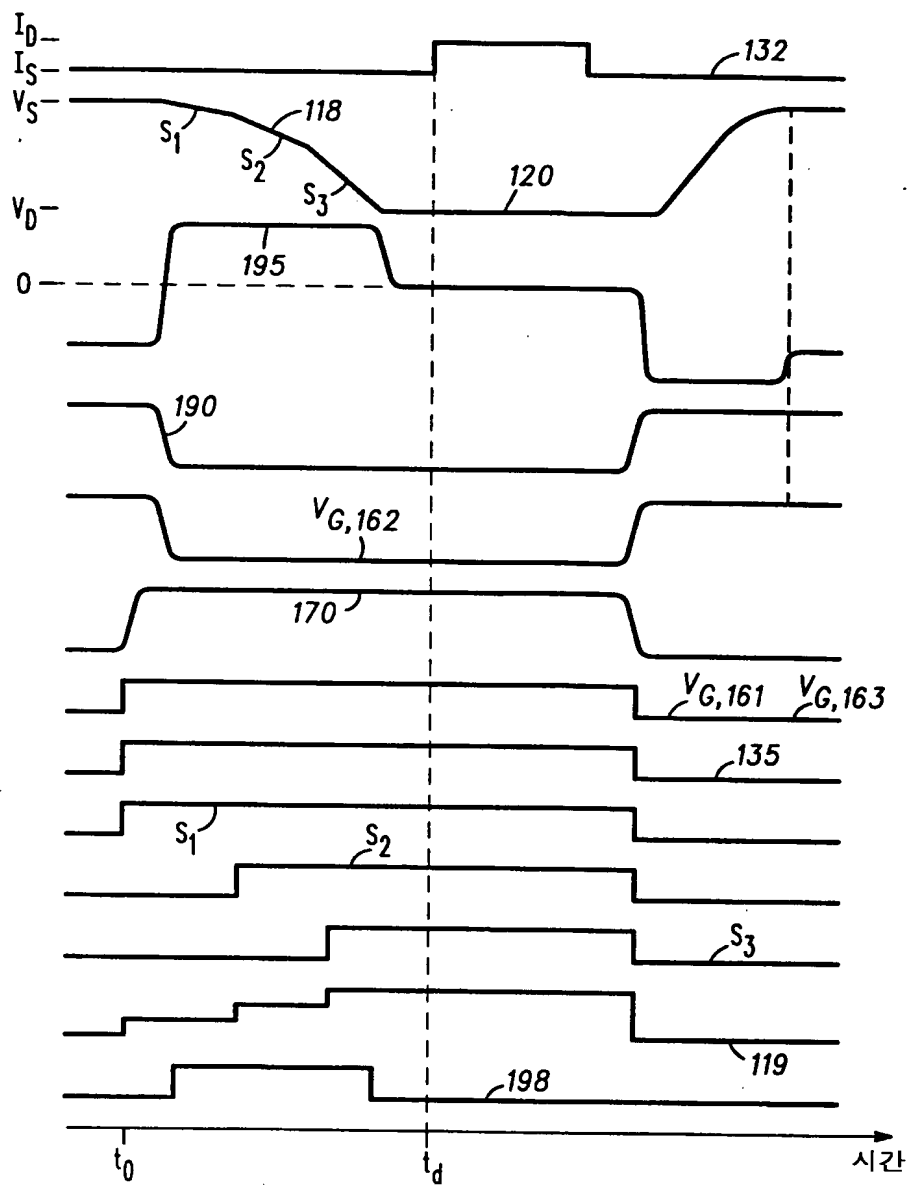


도면3



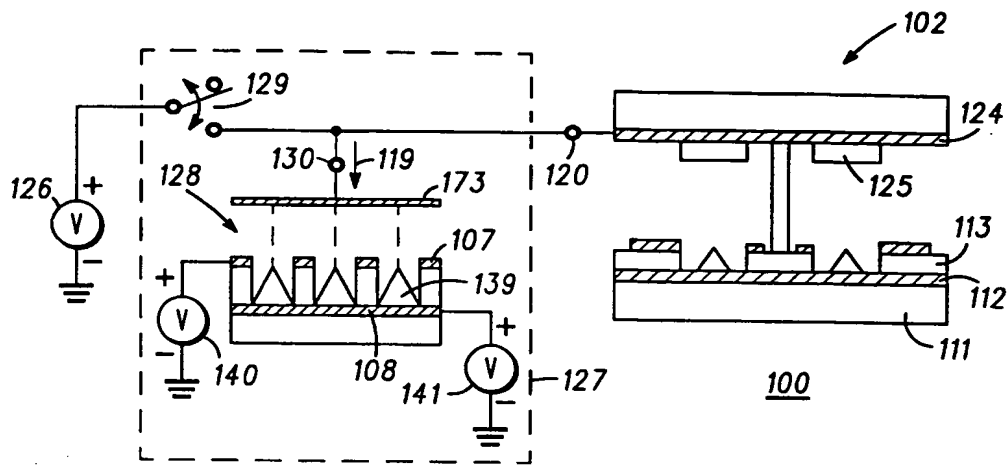
도면4



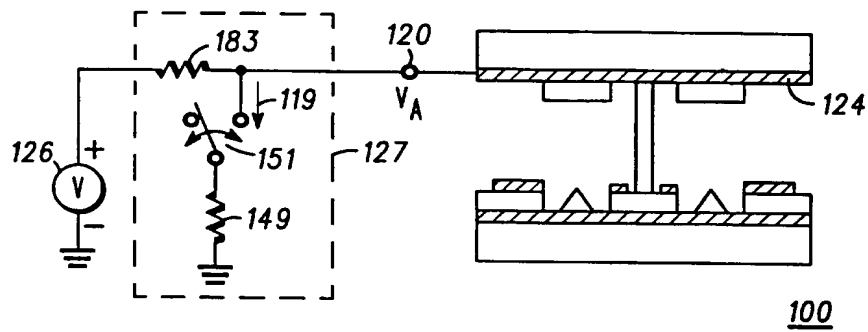


도면6

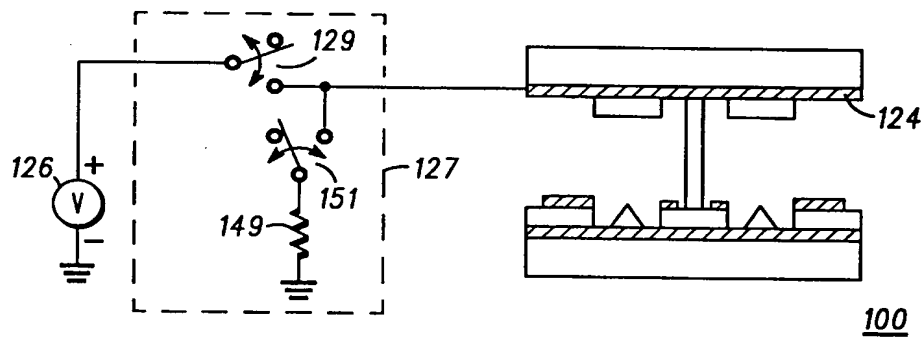




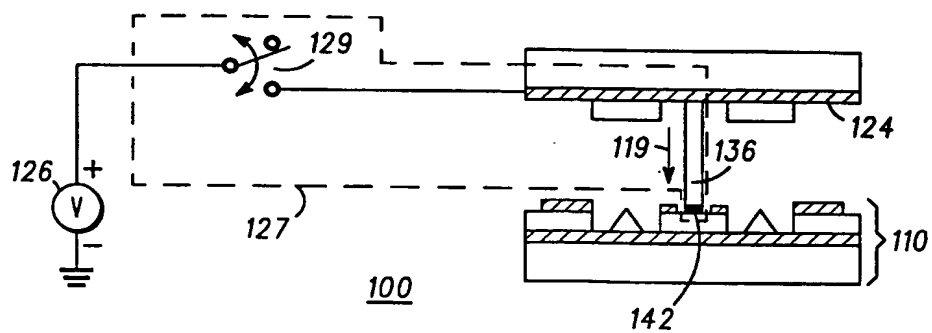
도면 8



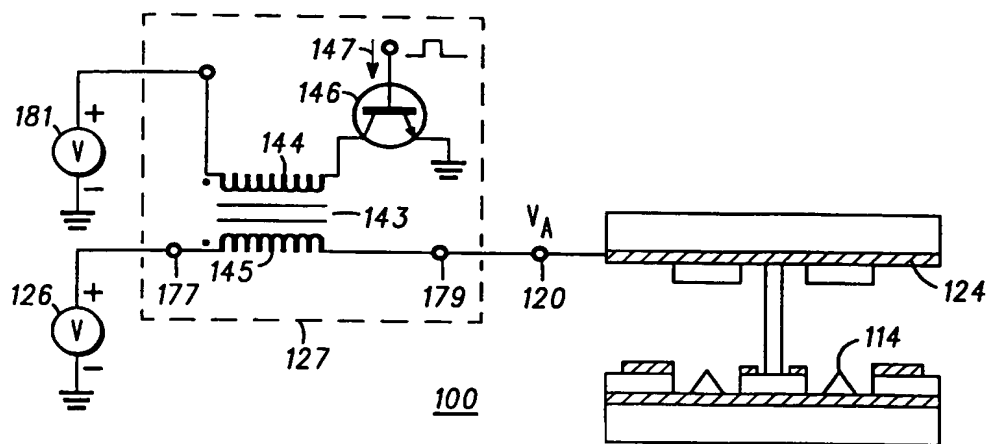
도면9



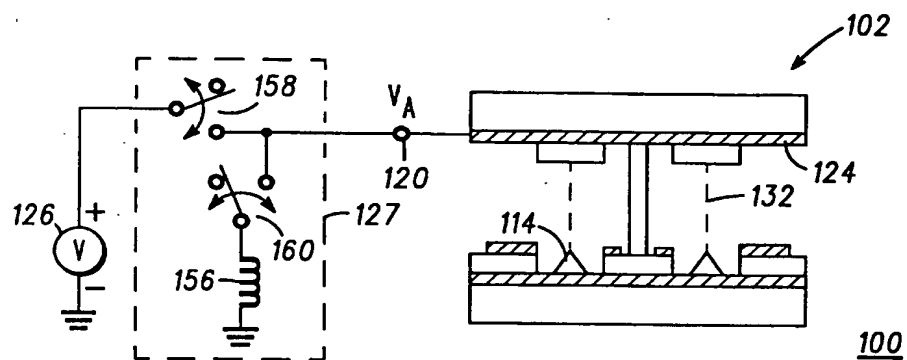
도면 10



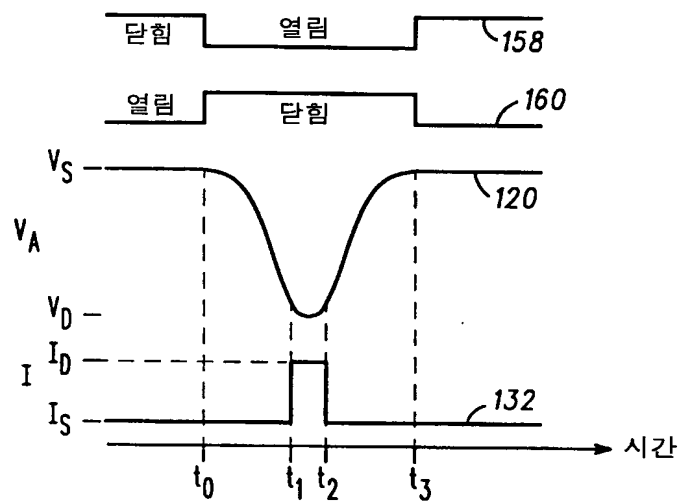
도면 11



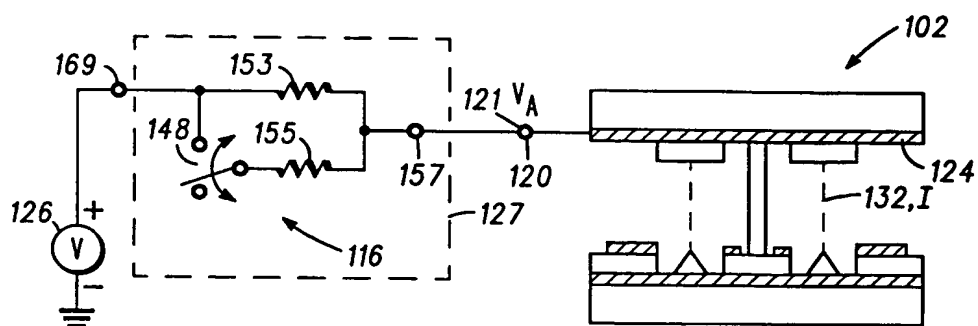
도면 12



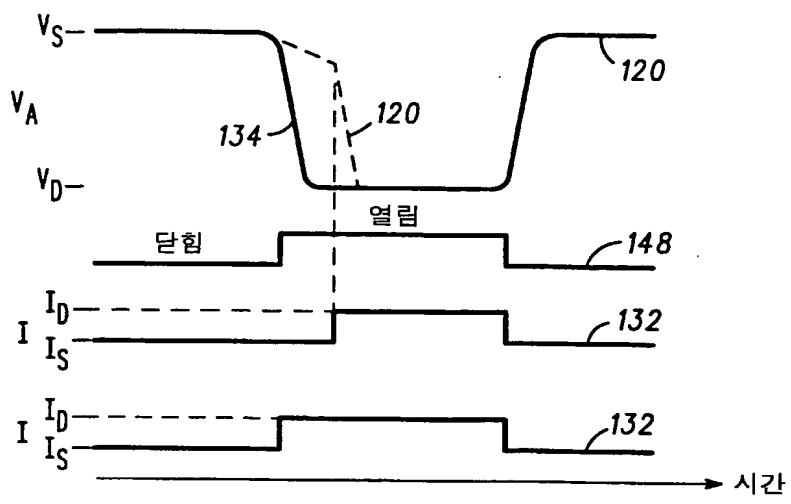
도면 13



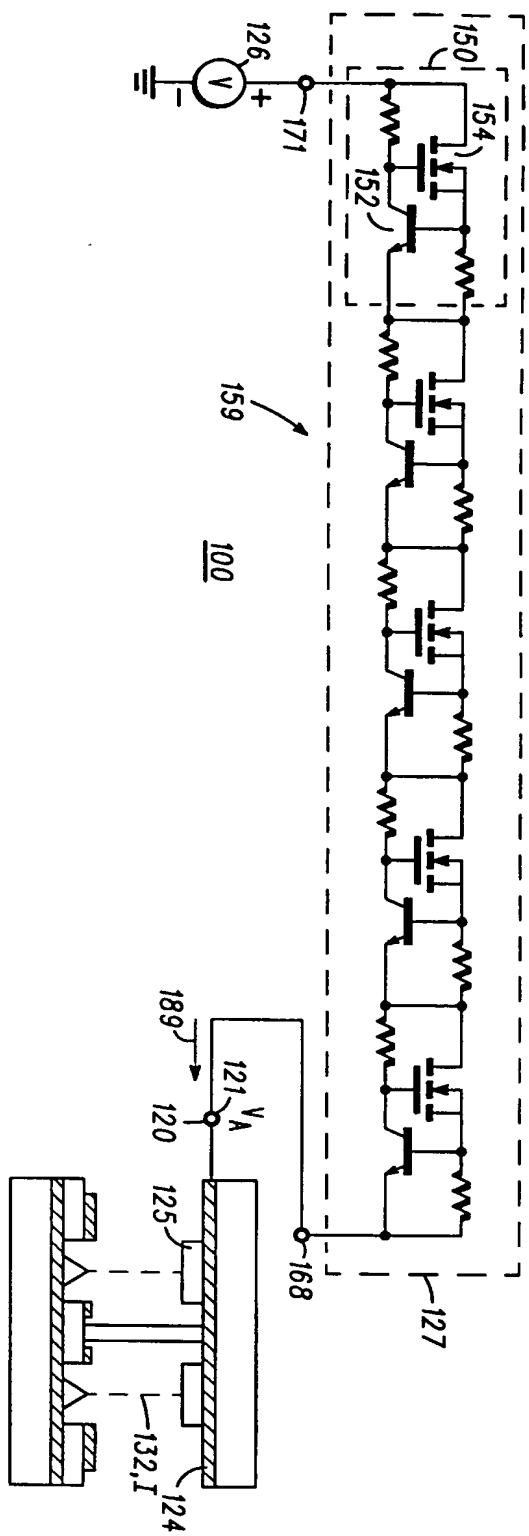
도면 14



도면 15



도면16



도면17

